

日本国特許庁
JAPAN PATENT OFFICE

65877-US
TK10Y

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 9月 9日

出願番号

Application Number:

特願2002-263028

[ST.10/C]:

[JP2002-263028]

出願人

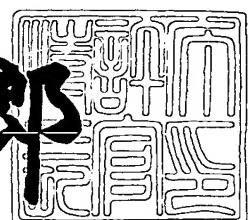
Applicant(s):

株式会社デンソー

2003年 6月20日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3048685

【書類名】 特許願

【整理番号】 PSN365

【提出日】 平成14年 9月 9日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/822

【発明者】

【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

【氏名】 氷見 啓明

【発明者】

【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

【氏名】 中野 敬志

【発明者】

【住所又は居所】 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内

【氏名】 水野 祥司

【特許出願人】

【識別番号】 000004260

【氏名又は名称】 株式会社デンソー

【代理人】

【識別番号】 100106149

【弁理士】

【氏名又は名称】 矢作 和行

【電話番号】 052-220-1100

【手数料の表示】

【予納台帳番号】 010331

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特2002-263028

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項1】 半導体基板の主面に形成される半導体素子が、トレンチによって絶縁分離されてなる半導体装置であって、

前記半導体素子が形成される領域には、前記半導体素子より大きな拡散構造が形成され、

前記半導体素子は、前記拡散構造に形成されたトレンチによって大きさが確定され、周囲から絶縁分離されることを特徴とする半導体装置。

【請求項2】 半導体基板の主面に形成される同じ種類で複数の半導体素子が、トレンチによって絶縁分離されてなる半導体装置であって、

前記同じ種類で複数の半導体素子が形成される領域には、前記同じ種類で複数の半導体素子に共通する拡散構造が形成され、

前記同じ種類で複数の半導体素子は、前記拡散構造に形成されたトレンチによって各半導体素子の大きさが確定され、各半導体素子が周囲から絶縁分離されることを特徴とする半導体装置。

【請求項3】 前記半導体基板がS O I基板であることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】 前記S O I基板の絶縁層上に形成される半導体層が、 $5 \mu m$ 以下であることを特徴とする請求項3に記載の半導体装置。

【請求項5】 前記トレンチが、B P S Gによって埋め込まれることを特徴とする請求項1乃至4のいずれか1項に記載の半導体装置。

【請求項6】 前記拡散構造が、拡散領域の繰り返しパターンを有することを特徴とする請求項1乃至5のいずれか1項に記載の半導体装置。

【請求項7】 前記拡散構造が、ストライプ形状のパターンを有する拡散領域からなることを特徴とする請求項1乃至6のいずれか1項に記載の半導体装置。

【請求項8】 前記半導体素子が、アナログ信号を処理するアナログ素子であることを特徴とする請求項1乃至7のいずれか1項に記載の半導体装置。

【請求項9】 前記アナログ素子が、バイポーラトランジスタであることを特徴とする請求項8に記載の半導体装置。

【請求項10】 前記半導体素子が、電力を制御するパワー素子であることを特徴とする請求項1乃至7のいずれか1項に記載の半導体装置。

【請求項11】 前記パワー素子が、LDMOSトランジスタであることを特徴とする請求項10に記載の半導体装置。

【請求項12】 前記半導体装置が、種類の異なる半導体素子を1つのチップに集積化した、複合ICであることを特徴とする請求項1乃至11のいずれか1項に記載の半導体装置。

【請求項13】 半導体基板の正面に形成される半導体素子が、トレンチによって絶縁分離されてなる半導体装置の製造方法において、

前記半導体基板の正面の前記半導体素子を形成する領域に、前記半導体素子より大きな拡散構造を形成する拡散工程と、

前記拡散構造が形成された半導体基板の正面にトレンチを形成して、前記半導体素子の大きさを確定すると共に、前記半導体素子を周囲から絶縁分離する分離工程と、

前記絶縁分離された半導体素子に配線を接続する配線工程とを有することを特徴とする半導体装置の製造方法。

【請求項14】 半導体基板の正面に形成される同じ種類で複数の半導体素子が、トレンチによって絶縁分離されてなる半導体装置の製造方法において、

前記半導体基板の正面の前記同じ種類で複数の半導体素子を形成する領域に、前記同じ種類で複数の半導体素子に共通する拡散構造を形成する拡散工程と、

前記拡散構造が形成された半導体基板の正面にトレンチを形成して、前記同じ種類で複数の半導体素子における各半導体素子の大きさを確定すると共に、各半導体素子を周囲から絶縁分離する分離工程と、

前記絶縁分離された各半導体素子に配線を接続する配線工程とを有することを特徴とする半導体装置の製造方法。

【請求項15】 前記半導体基板がSOI基板であることを特徴とする請求項13または14に記載の半導体装置の製造方法。

【請求項16】 前記S O I基板の絶縁層上に形成される半導体層が、 $5\text{ }\mu\text{m}$ 以下であることを特徴とする請求項15に記載の半導体装置の製造方法。

【請求項17】 前記トレンチが、B P S Gによって埋め込まれることを特徴とする請求項13乃至16のいずれか1項に記載の半導体装置の製造方法。

【請求項18】 前記拡散構造が、拡散領域の繰り返しパターンを有することを特徴とする請求項13乃至17のいずれか1項に記載の半導体装置の製造方法。

【請求項19】 前記拡散構造が、ストライプ形状のパターンを有する拡散領域からなることを特徴とする請求項13乃至18のいずれか1項に記載の半導体装置の製造方法。

【請求項20】 前記半導体素子が、アナログ信号を処理するアナログ素子であることを特徴とする請求項13乃至19のいずれか1項に記載の半導体装置の製造方法。

【請求項21】 前記アナログ素子が、バイポーラトランジスタであることを特徴とする請求項20に記載の半導体装置の製造方法。

【請求項22】 前記半導体素子が、電力を制御するパワー素子であることを特徴とする請求項13乃至19のいずれか1項に記載の半導体装置の製造方法。

【請求項23】 前記パワー素子が、L D M O Sトランジスタであることを特徴とする請求項22に記載の半導体装置の製造方法。

【請求項24】 前記半導体装置が、種類の異なる半導体素子を1つのチップに集積化した、複合I Cであることを特徴とする請求項13乃至23のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体基板の主面に形成された複数の半導体素子がトレンチによって絶縁分離されてなる半導体装置およびその製造方法に関するもので、特に、アナログ素子やパワー素子を集積化した半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

半導体装置の小型化および多機能化のために、デジタル素子であるCMOSトランジスタ、アナログ素子であるバイポーラトランジスタ、パワー素子であるLDMOSトランジスタといった種類の異なる半導体素子を、1つのチップに集積化した複合ICが用いられている。この複合ICにおいては、半導体素子間の電気干渉による誤動作を防止するために、近年SOI(Silicon On Insulator)基板を用い、半導体素子間にトレンチを形成して各半導体素子を絶縁分離するトレンチ分離構造が実用化されている。

【0003】

この各半導体素子が絶縁分離された複合ICを製造するためには、最初に、SOI基板の各半導体素子の形成領域をトレンチによって絶縁分離しておき、その後、各半導体素子の形成領域にCMOSトランジスタ、バイポーラトランジスタ、LDMOSトランジスタといった個々の半導体素子を作り込んでいく。

【0004】

【発明が解決しようとする課題】

SOI基板の採用とトレンチ分離構造によって、前記の複合ICにおいては、各半導体素子間の相互干渉を防止することができる。

【0005】

一方、複合ICにおいては、MOSトランジスタやバイポーラトランジスタといった製造工程の異なる各種半導体素子を1つのチップに集積する関係上、長い試作期間が必要である。近年、SOI基板とトレンチ分離構造の採用や、集積化される半導体素子が多様化して製造工程が益々複雑になっており、試作期間はさらに長期化する傾向にある。このため、個々の複合ICの開発期間が長期化して、工数に係わる開発コストが増大するといった問題が発生している。

【0006】

そこで本発明の目的は、MOSトランジスタやバイポーラトランジスタといった各種半導体素子を1つのチップに集積化した複合ICであっても、試作期間が短く、従って開発コストを低減することのできる半導体装置およびその製造方法

を提供することにある。

【0007】

【課題を解決するための手段】

上記目的を達成するために、請求項1に記載の半導体装置は、半導体基板の主面に形成される半導体素子が、トレンチによって絶縁分離されてなる半導体装置であって、前記半導体素子が形成される領域には、前記半導体素子より大きな拡散構造が形成され、前記半導体素子は、前記拡散構造に形成されたトレンチによって大きさが確定され、周囲から絶縁分離されることを特徴としている。

【0008】

また、請求項2に記載の半導体装置は、半導体基板の主面に形成される同じ種類で複数の半導体素子が、トレンチによって絶縁分離されてなる半導体装置であって、前記同じ種類で複数の半導体素子が形成される領域には、前記同じ種類で複数の半導体素子に共通する拡散構造が形成され、前記同じ種類で複数の半導体素子は、前記拡散構造に形成されたトレンチによって各半導体素子の大きさが確定され、各半導体素子が周囲から絶縁分離されることを特徴としている。

【0009】

半導体装置においては、最適特性を得るために、あるいは様々な規格に対応するため、そこに形成される半導体素子の大きさを変えて試験する必要がある。

【0010】

半導体装置の中には、同じ種類で複数の半導体素子を有する半導体装置があるが、このような半導体装置においても、そこに形成される同じ種類の各半導体素子が、大きさを変えて試験される。このような半導体装置の試作に対して、本発明の半導体装置では、半導体基板に形成された大きなあるいは共通する拡散構造から、同じ種類の半導体素子がトレンチによって‘切り分け’形成される。このトレンチによる半導体素子の切り分けは、得られた各半導体素子の周囲からの絶縁分離も兼ねている。

【0011】

請求項1と2に記載の本発明の半導体装置では、1つの大きなあるいは共通する拡散構造を用いて、同じ種類で任意の大きさの半導体素子を、容易に切り分け

形成することができる。これによって、半導体装置の試作期間を短縮することができ、工数に係わる開発コストも低減することができる。

【0012】

また、本発明では、同じ種類の半導体素子が統合されて1つの拡散構造に形成されるため、このような拡散構造が形成された半導体基板をプラットフォームとして、そこから種々の半導体装置を製造することができる。このように、本発明の半導体装置においては拡散構造が形成された半導体基板のプラットフォーム化が実現され、これによって製造コストを低減することができる。

【0013】

請求項3に記載の発明は、前記半導体基板がS O I基板であることを特徴としている。これによれば、S O I基板の埋め込み絶縁層とトレンチによって、中に形成される半導体素子を完全に絶縁分離することができる。

【0014】

請求項4に記載の発明は、前記S O I基板の絶縁層上に形成される半導体層が、 $5\mu m$ 以下であることを特徴としている。これによれば、半導体層が薄いため、形成したトレンチの埋め込みが容易になる。

【0015】

請求項5に記載の発明は、前記トレンチが、B P S Gによって埋め込まれることを特徴としている。これによれば、形成した各半導体素子への配線のための層間絶縁膜と、トレンチの埋め込みの絶縁膜とを、同じB P S Gで共通化できる。これによって製造工程が短縮でき、製造コストを低減できる。

【0016】

請求項6に記載の発明は、前記拡散構造が、拡散領域の繰り返しパターンを有することを特徴としている。これによれば、繰り返しパターンを単位ユニットとして、切り分け形成される各半導体素子の大きさを、容易に確定することができる。

【0017】

請求項7に記載の発明は、前記拡散構造が、ストライプ形状のパターンを有する拡散領域からなることを特徴としている。これによれば、トレンチによって切

り分け形成される各半導体素子の大きさを容易に確定することができ、半導体装置の設計が容易になる。

【0018】

請求項8と9に記載の発明は、前記半導体素子が、アナログ信号を処理するアナログ素子であることを特徴としている。このようなアナログ素子として、例えば、バイポーラトランジスタがある。

【0019】

請求項10と11に記載の発明は、前記半導体素子が、電力を制御するパワー素子であることを特徴としている。このようなパワー素子として、例えば、LDMOSトランジスタがある。

【0020】

請求項8～11に記載されるように、本発明の半導体装置においては、前記半導体素子がアナログ素子またはパワー素子である場合に効果的である。

【0021】

半導体素子がデジタル素子の場合には、例えばCMOSトランジスタのゲートアレイに見られるように、一定の大きさの素子を予め多数形成した半導体基板をプラットフォームにして、配線により必要な素子を接続して回路を構成することができる。これによって、試作期間の短縮することができ、開発コストも低減することができる。しかしながらアナログ素子やパワー素子の場合には、一般的に、回路で使用されている素子毎に、電流容量等が異なっている。このため、デジタル素子のゲートアレイのように、一定の大きさの素子を予め用意しておくことはできない。

【0022】

本発明の半導体装置においては、拡散構造が形成された半導体基板をプラットフォームとして、ここから半導体素子がトレチによって切り分け形成される。従って、半導体素子がアナログ素子やパワー素子であっても、前記プラットフォームから任意の大きさの半導体素子、例えば任意の電流容量を持つアナログ素子やパワー素子を形成することができる。従って、アナログ素子やパワー素子を有する半導体装置であっても、試作期間を短縮することができ、工数に係わる開発

コストも低減することができる。また、プラットフォーム化が実現され、これによっても製造コストを低減することができる。

【0023】

請求項12に記載の発明は、前記半導体装置が、種類の異なる半導体素子を1つのチップに集積化した、複合ICであることを特徴としている。

【0024】

本発明によれば、半導体装置が、デジタル素子、アナログ素子、パワー素子等の種類の異なる半導体素子を1つのチップに集積化した複合ICであっても、試作期間を短縮することができ、工数に係わる開発コストも低減することができる。また、プラットフォーム化が実現され、これによっても製造コストを低減することができる。

【0025】

請求項13～24に記載の発明は、前記の半導体装置の製造方法に関するものである。

【0026】

請求項13に記載の発明は、半導体基板の主面に形成される半導体素子が、トレンチによって絶縁分離されてなる半導体装置の製造方法において、前記半導体基板の主面の前記半導体素子を形成する領域に、前記半導体素子より大きな拡散構造を形成する拡散工程と、前記拡散構造が形成された半導体基板の主面にトレンチを形成して、前記半導体素子の大きさを確定すると共に、前記半導体素子を周囲から絶縁分離する分離工程と、前記絶縁分離された半導体素子に配線を接続する配線工程とを有することを特徴としている。

【0027】

また、請求項14に記載の発明は、半導体基板の主面に形成される同じ種類で複数の半導体素子が、トレンチによって絶縁分離されてなる半導体装置の製造方法において、前記半導体基板の主面の前記同じ種類で複数の半導体素子を形成する領域に、前記同じ種類で複数の半導体素子に共通する拡散構造を形成する拡散工程と、前記拡散構造が形成された半導体基板の主面にトレンチを形成して、前記同じ種類で複数の半導体素子における各半導体素子の大きさを確定すると共に

、各半導体素子を周囲から絶縁分離する分離工程と、前記絶縁分離された各半導体素子に配線を接続する配線工程とを有することを特徴としている。

【0028】

従来の半導体装置の製造方法においては、最初に各半導体素子の形成領域をトレンチによって絶縁分離し、その後で前記各半導体素子の形成領域に個々の半導体素子を作り込んでいく。

【0029】

一方、請求項13と14に記載の本発明の製造方法によれば、最初に半導体素子を形成する領域に拡散構造を形成し、その後でトレンチを形成して、各半導体素子を切り分け形成すると共に、各半導体素子を周囲から絶縁分離する。以上のように切り分け形成した各半導体素子に、最後に、配線を接続する。

【0030】

本発明で用いたトレンチによる絶縁分離は、PN接合分離のような拡散を用いた電気的な分離とは異なり、機械的に細溝を掘って半導体素子を分離するものである。このため、本発明の製造方法においては、拡散工程の後にトレンチによる分離工程を持ってくることができる。このようにして、本発明の製造方法においては、半導体装置に形成される同じ種類の半導体素子の形成領域を1つの拡散構造にプラットフォーム化し、トレンチの形成を拡散工程の後にして半導体素子の形成と絶縁分離を一体化している。これによって、前記した試作期間が短く、開発コストや製造コストが低減された半導体装置を得ることができる。

【0031】

請求項15～24に記載の発明も半導体装置の製造方法に関するものであり、前述の請求項3～12に記載した半導体装置を得ることができる。得られた半導体装置の効果は同様であるので、その説明は省略する。

【0032】

【発明の実施の形態】

以下、本発明の半導体装置およびその製造方法を、図に基づいて説明する。

【0033】

(第1の実施形態)

図1 (a), (b) に、第1の実施形態における半導体装置100の平面模式図を示す。図1 (a) は、拡散構造の形成が終了した半導体基板1の一チップ部からなる半導体装置100で、図1 (b) は、トレンチ形成が終了して各半導体素子の大きさが確定し、各半導体素子が周囲から絶縁分離された半導体装置100である。

【0034】

図2 (a), (b) には、図1 (a) におけるA-AおよびB-B断面図を、図3 (a), (b) には、図1 (a) におけるC-CおよびD-D断面図を、図4 (a), (b) には、図1 (a) におけるE-EおよびF-F断面図をそれぞれ示す。また、図2 (c), (d) には、図1 (b) におけるA'-A'およびB'-B'断面図を、図3 (c), (d) には、図1 (b) におけるC'-C'およびD'-D'断面図を、図4 (c), (d) には、図1 (b) におけるE'-E'およびF'-F'断面図をそれぞれ示す。

【0035】

図1 (a), (b) の半導体装置100は半導体基板1に形成されているが、図2 (a) ~図4 (a) の断面図に示すように、本実施形態の半導体基板1はSOI基板である。図中の符号11はシリコン(Si)基板であり、符号12が絶縁層である。本実施形態の半導体基板1では、絶縁層12の上に高濃度n型拡散層13が形成され、さらにその上に低濃度n型拡散層14が形成された基板を用いている。SOI基板1における高濃度n型拡散層13と低濃度n型拡散層14からなるSOI層の厚みは、約10μmである。

【0036】

図1 (a)において、点線で囲った各領域は、同じ種類の半導体素子を形成する領域を示す。符号2と3は、アナログ素子であるバイポーラトランジスタの形成領域を、符号4は、パワー素子であるLD MOSトランジスタの形成領域を、符号5は、デジタル素子であるCMOSトランジスタの形成領域を示す。

【0037】

バイポーラトランジスタの形成領域2には、ストライプ形状の拡散領域20, 21が、バイポーラトランジスタの形成領域3には、ストライプ形状の拡散領域

30, 31が、LDMOSトランジスタの形成領域4には、ストライプ形状の拡散領域40, 41がそれぞれ配置されている。CMOSトランジスタの形成領域5にも同様のストライプ形状の拡散領域が配置されるが、簡単化のために図示は省略してある。これらストライプ形状の拡散領域20, 21, 30, 31, 40, 41は、図1(a)に示すように、各半導体素子の形成領域2, 3, 4において、繰り返しパターンからなる拡散構造を構成している。

【0038】

図1(b)では、バイポーラトランジスタの形成領域2が図中の実線で示すトレンチ6によって切り分けられて、4個のバイポーラトランジスタ2a, 2b, 2c, 2dが形成される。同じように、バイポーラトランジスタの形成領域3がトレンチ6によって切り分けられて、4個のバイポーラトランジスタ3a, 3b, 3c, 3dが形成され、LDMOSトランジスタの形成領域4がトレンチ6によって切り分けられて、5個のLDMOSトランジスタ4a, 4b, 4c, 4d, 4eが形成される。図中の実線で示したトレンチ6によって囲まれた部分が、切り分けられた各半導体素子である。一方、トレンチ6によって囲まれていない部分は、無効にした拡散領域である。バイポーラトランジスタの形成領域2, 3およびLDMOSトランジスタの形成領域4では、必要な電流容量に応じた大きさに、各半導体素子2a～2d, 3a～3d, 4a～4eが切り分けられている。また、CMOSトランジスタの形成領域5では、同じ様にトレンチ6によって切り分けられて、同じ大きさのCMOSトランジスタ5aが形成される。

【0039】

各半導体素子を切り分け形成するトレンチ6は、図2(c), (d)～図4(c), (d)の断面図に示すように、各拡散領域を分離しているLOCOS7の位置で、基板の絶縁層12に到達する深さに形成される。また、トレンチには側壁絶縁層が形成されており、多結晶シリコンやBPSGが埋め込まれて、中に取り囲んだ各半導体素子を、周囲から絶縁分離している。

【0040】

本実施形態においては、半導体基板1の絶縁層12の上に形成された高濃度n型拡散層13および低濃度n型拡散層14に、トレンチ6によって切り分けられ

て各半導体素子が形成される。従って、本実施形態の場合には図2 (c), (d) ~図4 (c), (d) に示すように、トレンチ6はPN接合を横切ることがなく、接合リーコ等の心配がない。一方、半導体基板1の絶縁層12の上にp型拡散層とn型拡散層がある場合には、トレンチ6がPN接合を横切るため、トレンチの側壁に不活性化処理（例えばCDE、犠牲酸化、水素処理）を行なう。

【0041】

図1 (a) に示すバイポーラトランジスタの形成領域2は、横型PNPバイポーラトランジスタを形成する領域である。この形成領域2では、エミッタおよびコレクタとなるストライプ形状の拡散領域21が、長辺を隣合わせて一列に並んでいる。また、これら一列に並んだ拡散領域21の一方の短辺側に、ベースとなる拡散領域20が、短辺を隣合わせて一列に並んでいる。このようにして、横型PNPバイポーラトランジスタの形成領域2では、拡散領域20, 21が、全体として、繰り返しパターンからなる拡散構造を構成している。

【0042】

図2 (a) に示すように、拡散領域21は、p型拡散領域21' と高濃度p型拡散領域21'' で構成され、これが一列に並んでいる。また、図2 (b) に示すように、拡散領域20は、n型拡散領域20' と高濃度n型拡散領域20'' で構成されている。

【0043】

トレンチ6によって切り分けられた図1 (b) に示す半導体素子2cは、図2 (c), (d) に示す横型PNPバイポーラトランジスタとなる。図2 (c), (d) に示す横型PNPバイポーラトランジスタ2cでは、中央に配置されたp型拡散領域21' と高濃度p型拡散領域21'' がエミッタ21eであり、両側に配置されたp型拡散領域21' と高濃度p型拡散領域21'' がコレクタ21cである。また、n型拡散領域20' 、高濃度n型拡散領域20'' および基板の低濃度n型拡散層14が、ベース20bとなる。

【0044】

図1 (a) に示すバイポーラトランジスタの形成領域3は、縦型NPNバイポーラトランジスタを形成する領域である。この形成領域3では、エミッタおよび

ベースとなるストライプ形状の拡散領域31と、コレクタとなるストライプ形状の拡散領域30とが、長辺を隣合わせて交互に一列に並んでいる。このようにして、縦型NPNバイポーラトランジスタの形成領域3では、拡散領域30, 31が、交互の繰り返しパターンからなる拡散構造を構成している。

【0045】

図3 (a) に示すように、拡散領域31では、LOCOS7を拡散マスクとしてp型拡散領域31'が形成されている。p型拡散領域31'の中では、中央に配置された高濃度n型拡散領域31''と、所定の距離を隔てて高濃度n型拡散領域31'''を取り囲む高濃度p型拡散領域31'''が形成されている。高濃度n型拡散領域31'''と高濃度p型拡散領域31'''は、フォトレジストを拡散マスクとして形成される。また、拡散領域30は、2重に形成された高濃度n型拡散領域30', 30''で構成されている。

【0046】

レンチ6によって切り分けられた図1 (b) に示す半導体素子3aは、図3 (c), (d) に示す縦型NPNバイポーラトランジスタとなる。図3 (c), (d) に示す縦型NPNバイポーラトランジスタ3aでは、p型拡散領域31' と高濃度p型拡散領域31'''がベース31bであり、中央に配置された高濃度n型拡散領域31'''がエミッタ31eであり、拡散領域31の両側に配置され2重に形成された高濃度n型拡散領域30', 30''および基板の高濃度n型拡散層13がコレクタ30cである。図1 (b) に示す本実施形態の縦型NPNバイポーラトランジスタ3a～3dの場合には、隣り合った素子間の拡散領域31を1つ無効にするようにして、レンチ6を形成して分離している。この結果、レンチ6で囲まれた縦型NPNバイポーラトランジスタ3a～3dの分離部近傍は、図3 (c), (d) に示すように、コレクタ30cとなる。

【0047】

図1 (a) に示すLDMOSトランジスタの形成領域4では、ソースとなるストライプ形状の拡散領域41と、ドレインとなるストライプ形状の拡散領域40とが、長辺を隣合わせて交互に二列に並んでいる。このようにして、LDMOSトランジスタの形成領域4では、拡散領域40, 41が、交互の繰り返しパター

ンからなる拡散構造を構成している。

【0048】

図4 (a) に示すように、拡散領域4 0は、n型拡散領域4 0' と高濃度n型拡散領域4 0'' で構成されている。また、拡散領域4 1では、p型拡散領域4 1' と、p型拡散領域4 1'' の中央に配置された高濃度p型拡散領域4 1''' と、高濃度p型拡散領域4 1'''' の両側に高濃度n型拡散領域4 1'''' とが形成されている。ソースとなる高濃度n型拡散領域4 1'''' は、LOCOS7の途中まで延在するように形成されたポリシリコンからなるゲート電極8を拡散マスクとして、ゲート電極8からドレインとなる拡散領域4 0に向かって拡散形成される。

【0049】

トレンチ6によって切り分けられた図1 (b) に示す半導体素子4 aは、図4 (c), (d) に示すLDMOSトランジスタとなる。図4 (c), (d) に示すLDMOSトランジスタ4 aでは、p型拡散領域4 1' がチャネル部である。また、p型拡散領域4 1' の中に形成された高濃度n型拡散領域4 1'' がソース4 1 sであり、その両側に配置されたn型拡散領域4 0' と高濃度n型拡散領域4 0'' がドレイン4 0 dである。

【0050】

図1 (b) に示す本実施形態のLDMOSトランジスタ4 a～4 eの場合には、隣り合った素子間の拡散領域4 1を1つ無効にするようにして、トレンチ6を形成して分離している。この結果、トレンチ6で囲まれたLDMOSトランジスタ4 a～4 eの分離部近傍は、図4 (c), (d) に示すように、ドレイン4 0 dとなる。

【0051】

図1 (a) に示すCMOSトランジスタの形成領域5においても、同じ様にして、CMOSトランジスタが形成される。

【0052】

半導体装置100では、最適特性を得るために、あるいは様々な規格に対応するために、そこに形成される各半導体素子2 a～2 d, 3 a～3 d, 4 a～4 e

の大きさを変えて試験する必要がある。このような半導体装置100の試作に対して、本実施形態の半導体装置100では、半導体基板1に形成された繰り返しパターンからなる拡散構造を有する各形成領域2，3，4から、各半導体素子2a～2d，3a～3d，4a～4eがトレンチ6によって切り分け形成される。このトレンチ6による半導体素子の切り分けは、得られた各半導体素子2a～2d，3a～3d，4a～4eの周囲からの絶縁分離も兼ねている。

【0053】

本実施形態の半導体装置100では、各形成領域2，3，4において、1つの繰り返しパターンからなる拡散構造を用いて、同じ種類で任意の大きさの半導体素子を切り分け形成することができる。例えば、バイポーラトランジスタの形成領域3においては、任意の大きさのバイポーラトランジスタを切り分け形成することができる。また、繰り返しパターンを単位ユニットとして、切り分け形成されるバイポーラトランジスタの大きさを、容易に確定することができる。特に、本実施形態のように拡散領域20，21，30，31，40，41をストライプ形状にすることで、トレンチ6によって切り分け形成される各半導体素子の大きさ（電流容量）の確定が容易になる。これによって、半導体装置100を容易に設計することができる。

【0054】

また、切り分けされる半導体素子は、バイポーラトランジスタのようなアナログ信号を処理するアナログ素子であるか、あるいはLDMOSトランジスタのような電力を制御するパワー素子である場合に特に効果的である。

【0055】

半導体装置がデジタル素子のみで構成されている場合には、例えばCMOSトランジスタからなるゲートアレイのように、一定の大きさのデジタル素子を予め多数形成した半導体基板をプラットフォームにして、配線により必要なだけデジタル素子を接続して回路を構成することができる。しかしながらアナログ素子やパワー素子の場合には、一般的に、回路で使用されている素子毎に電流容量等の大きさが異なっている。このため、デジタル素子からなるゲートアレイのように、一定の大きさの素子を予め用意しておくことはできない。

【0056】

本実施形態の半導体装置100においては、拡散構造が形成された半導体基板1をプラットフォームとして、ここから各半導体素子2a～2d, 3a～3d, 4a～4eがトレンチ6によって切り分け形成される。従って、半導体素子がアナログ素子やパワー素子であっても、前記プラットフォームから任意の大きさの半導体素子、例えば任意の電流容量を持つアナログ素子やパワー素子を形成することができる。

【0057】

勿論、本実施形態の半導体装置100に示すように、デジタル素子5a、アナログ素子2a～2d, 3a～3d、パワー素子4a～4e等の種類の異なる半導体素子を1つのチップに集積化した複合ICにおいても効果的であるのは言うまでもない。

【0058】

以上のように、本実施形態の半導体装置100においては、繰り返しパターンからなる拡散構造が形成された半導体基板1を用いて、各形成領域2, 3, 4, 5において任意の大きさの半導体素子を容易に形成することができる。従って、半導体装置100の試作期間を従来に較べて大幅に短縮することができ、工数に係わる開発コストも低減することができる。

【0059】

また、本実施形態の半導体装置100においては、同じ種類の半導体素子は、繰り返しパターンからなる拡散構造が形成された各形成領域2, 3, 4, 5のいずれかに統合されて形成されている。従って、このような拡散構造が形成された半導体基板1を標準的なプラットフォームとして数種類準備しておけば、そこから種々の半導体装置を製造することができる。このように、本実施形態の半導体装置100では、拡散構造が形成された半導体基板1のプラットフォーム化が実現され、これによって製造コストを低減することができる。

【0060】

次に、図1～図4に示した本実施形態の半導体装置100の製造方法を説明する。

【0061】

最初に、絶縁層12の上に高濃度n型拡散層13と低濃度n型拡散層14が形成されたSOI基板1から出発して、図1～図4に示した拡散領域20, 21, 30, 31, 40, 41、LOCOS7、ゲート電極8を形成する。SOI基板1は、基板貼り合わせ技術やエピタキシャル成長技術を用いて、通常の方法で形成することができる。

【0062】

本実施形態においては、トレンチ6の形成工程を拡散領域20, 21, 30, 31, 40, 41の形成後に行なうが、個々の拡散領域20, 21, 30, 31, 40, 41、LOCOS7、ゲート電極8の形成方法および形成順序に関しては、従来と同様に行なう。図2(a), (b)～図4(a), (b)は、これら拡散領域20, 21, 30, 31, 40, 41、LOCOS7、ゲート電極8の形成が終了した段階を示している。

【0063】

次に、本発明の特徴である拡散領域形成後のトレンチ形成工程を、図5(a)～(e)に示したLDMOSトランジスタの工程別断面図を例にして説明する。

【0064】

図5(a)は、n型拡散領域40'、高濃度n型拡散領域40''からなる拡散領域40と、p型拡散領域41'、高濃度n型拡散領域41''、および高濃度p型拡散領域41'''からなる拡散領域41とが形成されたSOI基板1である。

【0065】

次に図5(b)に示すように、拡散領域40, 41、LOCOS7、ゲート電極8を形成したSOI基板1をレジスト90で覆い、フォトリソグラフィによりレジスト90のトレンチ6形成位置を開口する。

【0066】

次に図5(c)に示すように、開口したレジスト90をマスクとしてエッティングによりトレンチ6を絶縁膜12に達する深さまで形成し、その後、レジスト90を除去する。これによって、LDMOSトランジスタ4f, 4gが確定し、ま

た、拡散領域40, 41が、それぞれソース41sおよびドレイン40dとして確定する。形成したトレンチ6は、側壁の不活性化処理（例えばCDE）を行い、低温酸化で～50nm程度の側壁酸化膜（図示は省略）を形成する。

【0067】

次に図5(d)に示すように、BPSG91をSOI基板1の全面に堆積して、トレンチ6を埋め込む。その後930°C程度で熱処理を行って、BPSG91をリフローさせる。これにより、堆積したBPSG91が平坦化すると共に、トレンチ6への埋め込み性が改善される。またこの熱処理によって、SOI基板1に形成された各拡散領域が活性化される。

【0068】

最後に図5(e)に示すように、BPSG91にコンタクト孔を形成し、一層目のアルミニウム(A1)からなる配線92を形成して、LDMOストランジスタ4f, 4gが完成する。

【0069】

尚、一層目の配線92上には層間絶縁膜を介して二層目の配線が形成され、さらにその上に保護膜が形成されるが、その説明は省略する。

【0070】

従来の複合IC等の半導体装置の製造方法においては、最初に各半導体素子（例えば図5(c)の4f, 4g）の形成領域をトレンチ6によって絶縁分離して確定し、その後で、前記のように確定した各半導体素子の形成領域に、個々の半導体素子4f, 4gを拡散工程により作り込んでいく。

【0071】

一方、本実施形態の図5(a)～(e)に示した製造方法によれば、最初に拡散工程により繰り返しパターンからなる拡散構造（例えば図5(a)の40, 41）を形成しておき、その後で、トレンチ6を形成して、各半導体素子4f, 4gを切り分け形成すると共に、各半導体素子4f, 4gを周囲から絶縁分離する。以上のように切り分け形成した各半導体素子4f, 4gに、最後に、配線92を接続する。

【0072】

本実施形態で用いたトレンチ6による絶縁分離は、P N接合分離のような拡散を用いた電気的な分離とは異なり、機械的に細溝を掘って半導体素子4f, 4gを分離するものである。これにより、拡散工程の後にトレンチによる分離工程を持ってくることができる。このようにして、本実施形態の製造方法においては、半導体装置100に形成される半導体素子の形成領域を繰り返しパターンからなる拡散構造をプラットフォーム化し、トレンチ6の形成を拡散工程の後にして半導体素子4f, 4gの形成と絶縁分離を一体化している。これによって、半導体装置100の試作期間を短縮でき、開発コストや製造コストを低減することができる。

【0073】

また、本実施形態の図5(d), (e)に示したように、トレンチ6の埋め込みに用いたBPSG91は、次に形成する配線92の層間絶縁膜も兼ねている。これによって製造工程が短縮でき、製造コストを低減できる。

【0074】

尚、本実施形態では、高濃度n型拡散層と低濃度n型拡散層からなるSOI基板を用いたが、一層のn型拡散層もしくはp型拡散層からなるSOI基板を用いてもよい。

【0075】

図5(b)ではトレンチ6形成用のエッチングマスクとしてレジスト90を用いたが、シリコン酸化膜(SiO₂)を用いてもよい。

【0076】

図5(c)ではCDEによりトレンチ6の側壁の不活性化処理を行なったが、犠牲酸化あるいは水素処理で不活性化処理を行なってもよい。電流リークのおそれが無い場合には、不活性化処理を省略することができる。また、低温酸化で50nm程度の側壁酸化膜(図示は省略)を形成したが、高温酸化で側壁酸化膜をより厚く形成してもよい。

【0077】

図5(d)ではBPSG91によりトレンチ6の埋め込みを行なったが、ポリシリコンを用いてトレンチ6の埋め込みを行なってもよい。この場合には、最初

にCVDで全面に薄い酸化膜を形成しておき、ポリシリコンを全面に堆積してトレンチ6を埋め込んだ後、先に形成した酸化膜をストップにして余分なポリシリコンをエッチバックする。ポリシリコンによる埋め込みは、SOI厚(図5(a))では、絶縁層12より上の高濃度n型拡散層13と低濃度n型拡散層14からなる層の厚み)が厚くて、BPSG91による埋め込みが不十分な場合に効果的である。

【0078】

(第2の実施形態)

第1の実施形態では、複合ICの各半導体素子が、高濃度n型拡散層と低濃度n型拡散層からなるSOI層に形成された半導体装置およびその製造方法を示した。第2の実施形態では、複合ICの各半導体素子が、p型拡散層からなるSOI層に形成された半導体装置およびその製造方法に関する。

【0079】

本実施形態においては、厚さ約 $5\mu\text{m}$ の薄いp型拡散層からなるSOI層に各半導体素子が形成されるため、トレンチ形成後のBPSGによる埋め込みが容易であり、ポリシリコンによる埋め込みに較べて製造コストを低減することができる。以下、本実施形態について、図に基づいて説明する。

【0080】

図6(a)は、p型SOI基板に形成された横型NPNバイポーラトランジスタ2eの断面図であり、図6(b)は、p型SOI基板に形成されたLDMOStランジスタ4hの断面図である。

【0081】

本実施形態の横型NPNバイポーラトランジスタ2eおよびLDMOStランジスタ4hも、第1の実施形態の図1(a), (b)に示した半導体装置100と同様に、各形成領域が繰り返しパターンからなる拡散構造を有しており、そこからトレンチ6により切り分け形成される。

【0082】

図6(a)に示す横型NPNバイポーラトランジスタ2eは、ベース23bとなるp型拡散領域23'およびエミッタ23eとなる高濃度n型拡散領域23'

と、コレクタ22cとなるn型拡散領域22'および高濃度n型拡散領域22''からなる。拡散領域23'、23''は、たとえば酸化膜を介して形成したポリシリコン端部もしくはLOCOS端部をセルフアラインの起点として、2重拡散法で形成することが望ましい。これにより、ベース幅が正確に制御され、応答性と電流増幅率の平坦性にすぐれた、バラツキの少ない横型バイポーラトランジスタが形成可能となる。図6(a)は、ポリシリコン端部をセルフアラインの起点とした例を示している。拡散領域23'、23''と拡散領域22'、22''はストライプ形状で長辺を隣合わせて一列に並んでおり、ここから横型NPNバイポーラトランジスタ2eがトレンチ6により切り分け形成される。

【0083】

図6(b)に示すLDMOSトランジスタ4hは、n型ウェル42'に形成されたドレイン42dとなる高濃度n型拡散領域42'、p型ウェル43'に形成されたチャネルとなるp型拡散領域43'''、43'''およびソース43sとなる高濃度n型拡散領域43''''とからなる。拡散領域42'、42''と拡散領域43'、43''、43'''、43''''は、ストライプ形状で長辺を隣合わせて一列に並んでおり、ここからLDMOSトランジスタ4hがトレンチ6により切り分け形成される。

【0084】

図6(a)に示した横型NPNバイポーラトランジスタ2e、および図6(b)に示したLDMOSトランジスタ4hの製造方法は、第1実施形態の図5(a)～(e)に示した製造方法と同様であり、その説明は省略する。但し、本実施形態の場合には、厚さ約 $5\mu\text{m}$ の薄いp型拡散層12からなるSOI層に各半導体素子2e、4hが形成されるため、トレンチ6の形成後のBPSGによる埋め込みが容易であり、ポリシリコンによる埋め込みに較べて製造コストを低減することができる。

【0085】

(第3の実施形態)

第1の実施形態では、繰り返しパターンからなる拡散構造が形成された半導体基板をプラットフォームとして、ここから各半導体素子がトレンチによって切り

分け形成された半導体装置およびその製造方法を示した。第3の実施形態では、第1の実施形態とは異なる拡散構造を有し、また第1の実施形態とは異なる切り分けによって各半導体素子が形成される半導体装置およびその製造方法を示す。以下、本実施形態について、図に基づいて説明する。

【0086】

図7は、横型PNPバイポーラトランジスタ2f～2kが形成された半導体装置101の平面図である。

【0087】

本実施形態の半導体装置101では、n型拡散領域24とp型拡散領域25のストライプ形状で繰り返しパターンからなる拡散構造が形成されており、そこからトレンチ61～69により横型PNPバイポーラトランジスタ2f～2kが切り分け形成される。各々の横型PNPバイポーラトランジスタ2f～2kは、ストライプ形状のp型拡散領域25内において長辺に平行に形成されたトレンチ62, 63と、ストライプ形状の繰り返しパターンを横切って形成されたトレンチ66, 67, 68によって切り分けられている。

【0088】

このようにして切り分けられた横型PNPバイポーラトランジスタ2kにおいては、例えば、符号25eで示すp型拡散領域がエミッタとなり、符号24bで示すn型拡散領域がベースとなり、符号25cで示すp型拡散領域がコレクタとなる。

【0089】

このように、図7に示すストライプ形状の繰り返しパターンからなる拡散構造においては、繰り返し構造を横切ってトレンチ66, 67, 68を形成し、各半導体素子2f, 2g, 2h, 2i, 2jを確定することができる。また、各半導体素子の大きさの確定も容易で、半導体装置の設計が容易に行なえる。

【0090】

図8は、縦型NPNバイポーラトランジスタ3e, 3fと横型PNPバイポーラトランジスタ21が形成された半導体装置102の斜視図である。

【0091】

本実施形態の半導体基板102は、絶縁層12の上にp型拡散層16、n型拡散層17、p型拡散層18が積層されたSOI基板19が用いられている。

【0092】

本実施形態の半導体装置102においては、縦型NPNバイポーラトランジスタ3e, 3fの形成領域は、2つのn型拡散領域32, 33からなる拡散構造が形成されている。また、横型PNPバイポーラトランジスタ21の形成領域は、n型拡散領域26とp型拡散領域27からなる拡散構造が形成されている。縦型NPNバイポーラトランジスタ3e, 3fと横型PNPバイポーラトランジスタ21は、トレンチ72により、ストライプ形状のn型拡散領域33の長辺に平行な端部で切り分けられている。また縦型NPNバイポーラトランジスタ3eと3fは、トレンチ75により、ストライプ形状のn型拡散領域32, 33を横切って切り分けられている。

【0093】

このようにして切り分けられた縦型NPNバイポーラトランジスタ3fにおいては、n型拡散領域32がエミッタ32eとなり、基板のp型拡散層18がベース18bとなり、n型拡散領域33がコレクタ33cとなる。また、横型PNPバイポーラトランジスタ21においては、例えば、基板のp型拡散層18がエミッタ18eとなり、n型拡散領域26がベース26bとなり、p型拡散領域27がコレクタ27cとなる。

【0094】

このように、図8に示すストライプ形状の拡散構造においては、ストライプ形状の拡散領域の端部やストライプ形状の拡散領域を横切ってトレンチを形成することにより、各半導体素子3e, 3f, 21を確定することができる。また、各半導体素子の大きさの確定も容易で、半導体装置の設計が容易に行なえる。

【0095】

(他の実施形態)

上記の実施形態では説明を省略したが、本発明はCMOSトランジスタにも適用することができる。特に、ストライプ形状のソースおよびドレインの拡散領域を横切ってトレンチを形成することにより、CMOSトランジスタやLD MOS

トランジスタゲート幅を任意に設定することができるという優れた効果がある。

【図面の簡単な説明】

【図1】

本発明による第1実施形態の半導体装置の平面図で、(a)は拡散構造の形成が終了した半導体装置で、(b)はトレンチ形成が終了して各半導体素子が‘切り分け’形成された半導体装置である。

【図2】

(a), (b)は、各々、図1(a)におけるA-AおよびB-B断面図であり、(c), (d)は、各々、図1(b)におけるA'-A'およびB'-B'断面図である。

【図3】

(a), (b)は、各々、図1(a)におけるC-CおよびD-D断面図であり、(c), (d)は、各々、図1(b)におけるC'-C'およびD'-D'断面図である。

【図4】

(a), (b)は、各々、図1(a)におけるE-EおよびF-F断面図であり、(c), (d)は、図1(b)におけるE'-E'およびF'-F'断面図である。

【図5】

(a)～(e)は、本発明による第1実施形態の半導体装置の製造方法を示す工程別断面図である。

【図6】

本発明による第2実施形態の半導体装置で、(a)は横型NPNバイポーラトランジスタの断面図であり、(b)はLDMOSトランジスタ4hの断面図である。

【図7】

本発明による第3実施形態の半導体装置である。

【図8】

本発明による第3実施形態の半導体装置である。

【符号の説明】

100～102 半導体装置

1, 10, 19 SOI基板(半導体基板)

2 (横型PNP)バイポーラトランジスタ形成領域

3 (縦型NPN)バイポーラトランジスタ形成領域

4 LD MOSトランジスタ形成領域

5 CMOSトランジスタ形成領域

20, 21, 30, 31, 40, 41 拡散領域

2a, 2b, 2c, 2d (横型PNP)バイポーラトランジスタ

20b ベース

21e エミッタ

21c コレクタ

3a, 3b, 3c, 3d (縦型NPN)バイポーラトランジスタ

31b ベース

31e エミッタ

30c コレクタ

4a, 4b, 4c, 4d, 4e LD MOSトランジスタ

40d ドレイン

41s ソース

5a CMOSトランジスタ

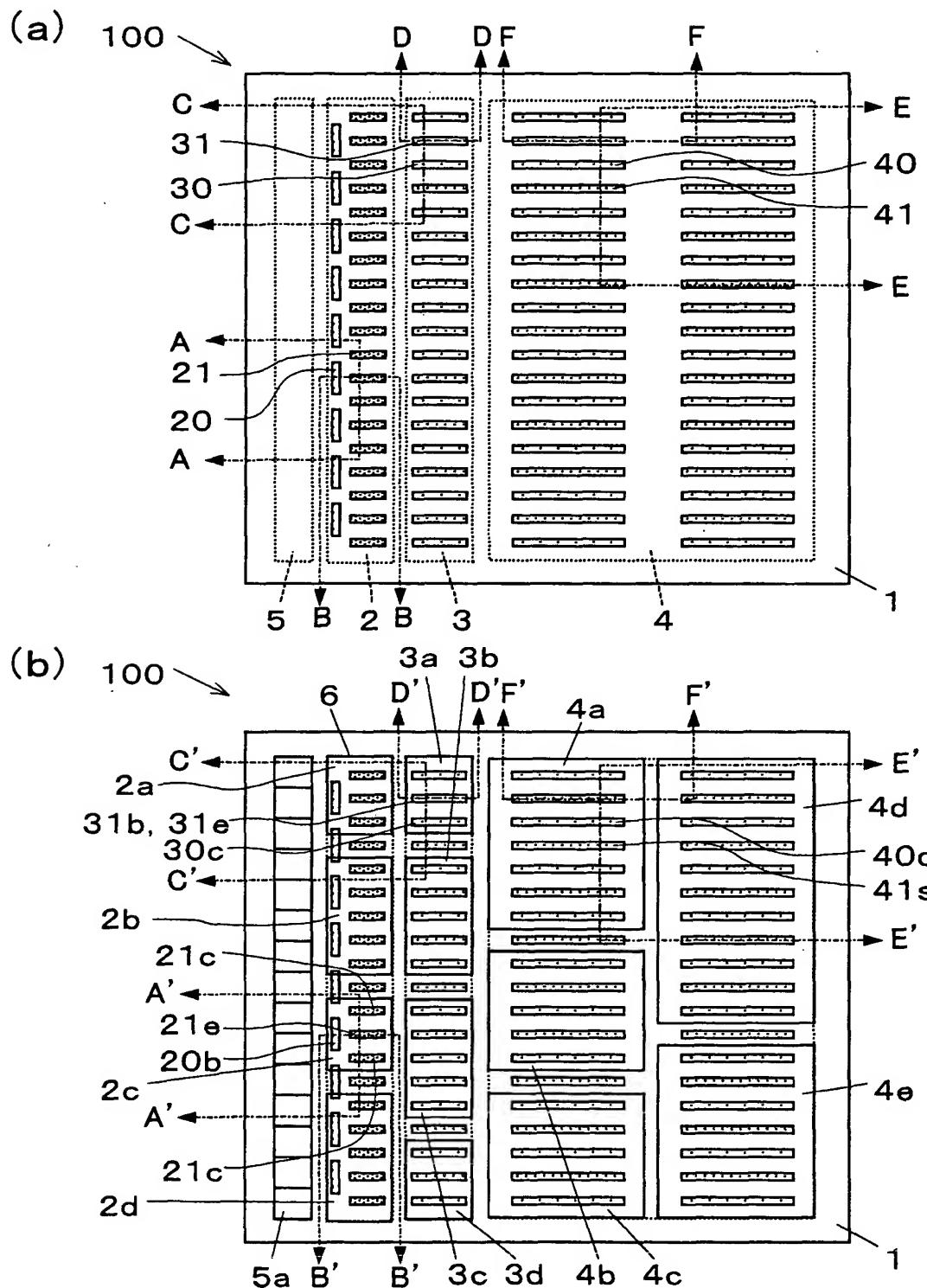
6, 61～69, 71～75 トレンチ

7 LOCOS

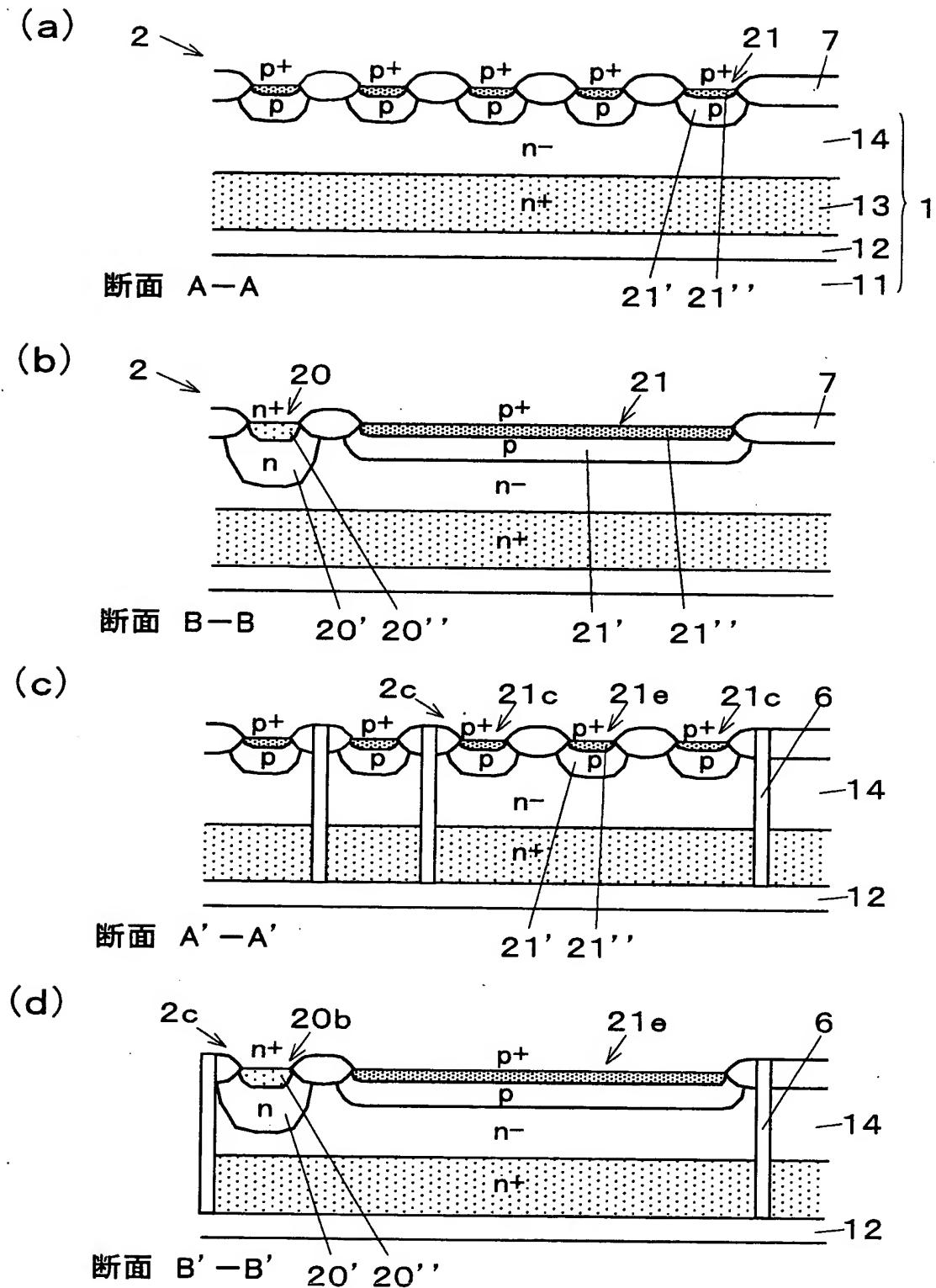
8 ゲート電極

【書類名】 図面

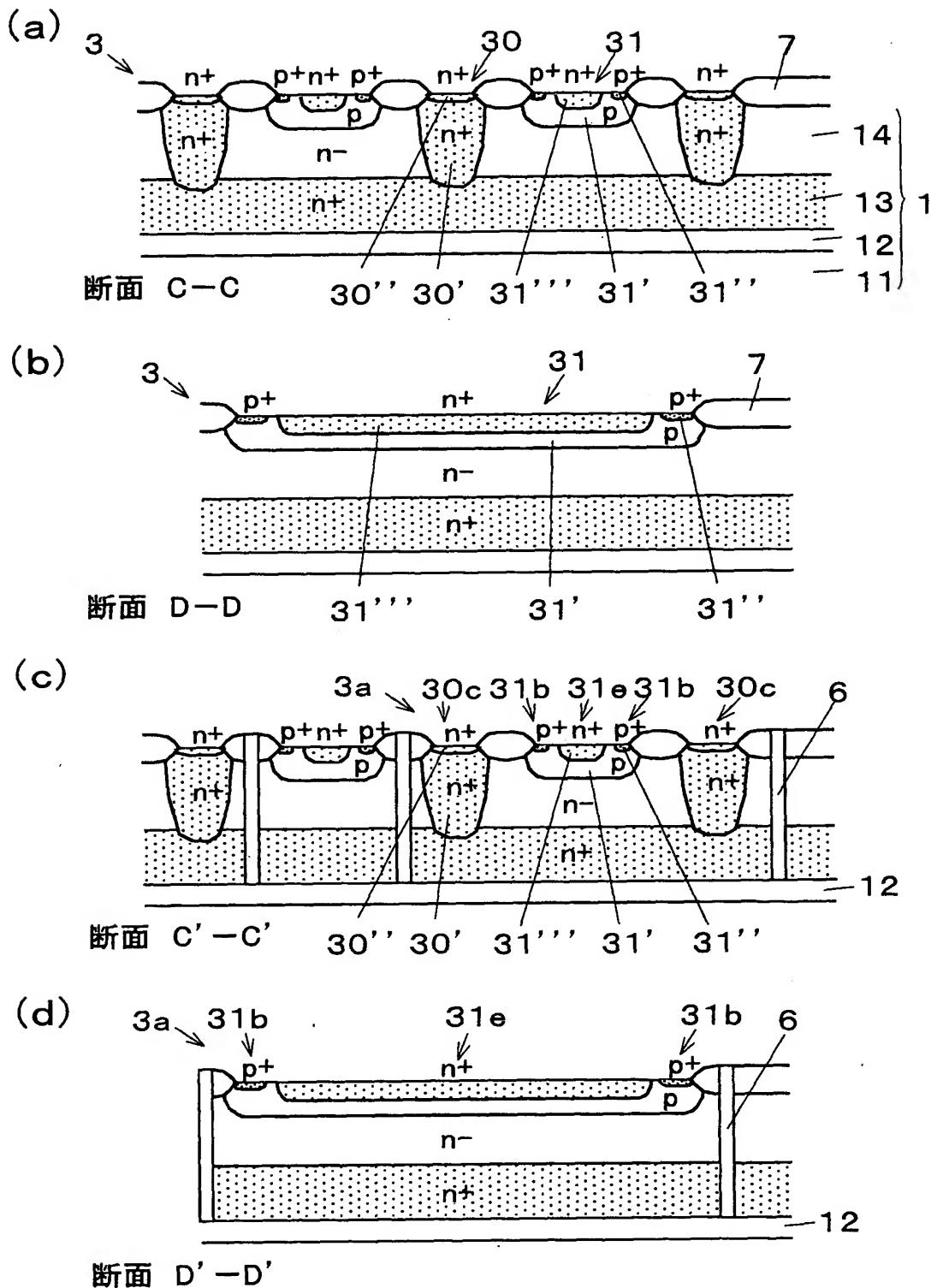
【図1】



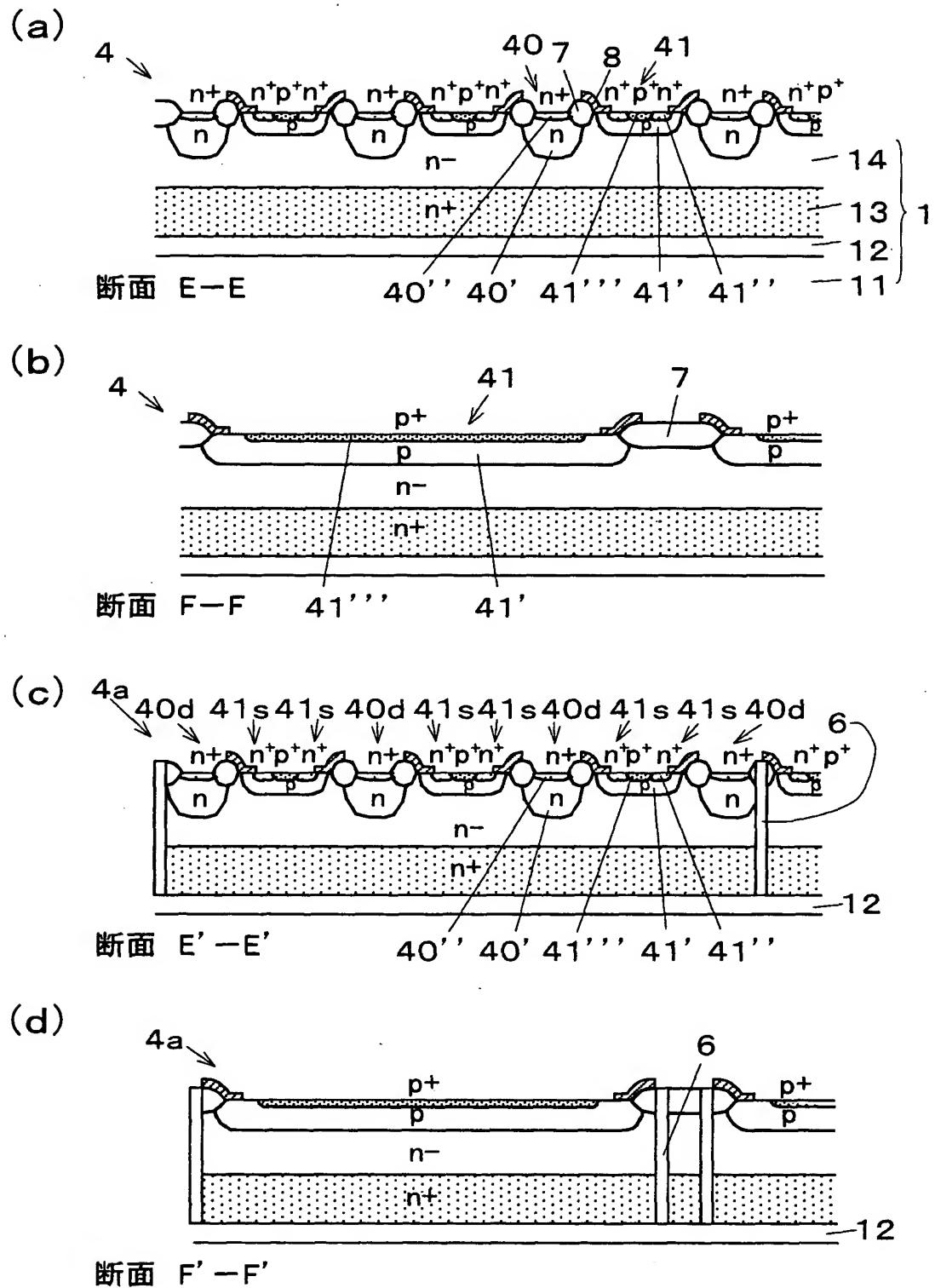
【図2】



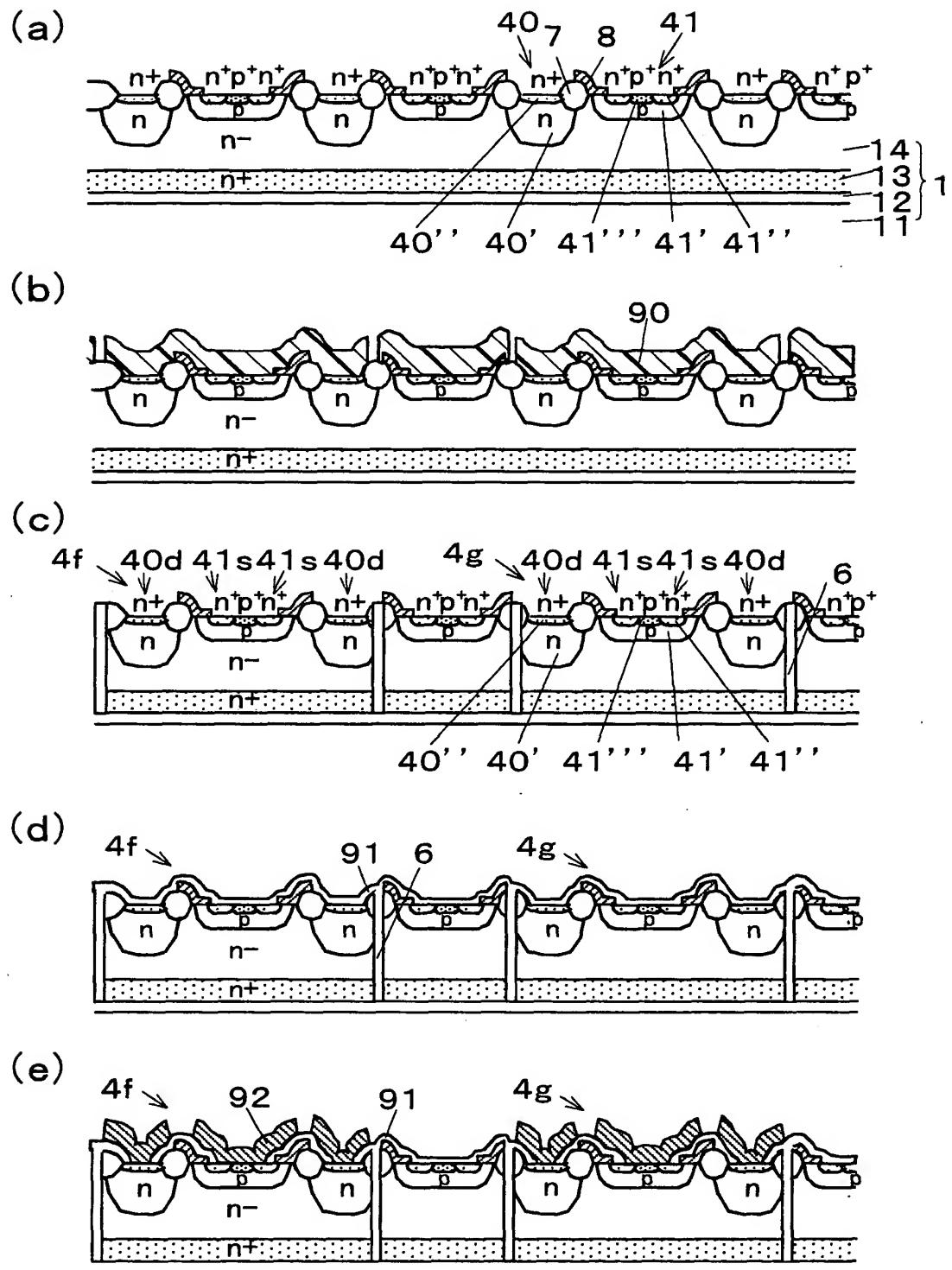
【図3】



【図4】

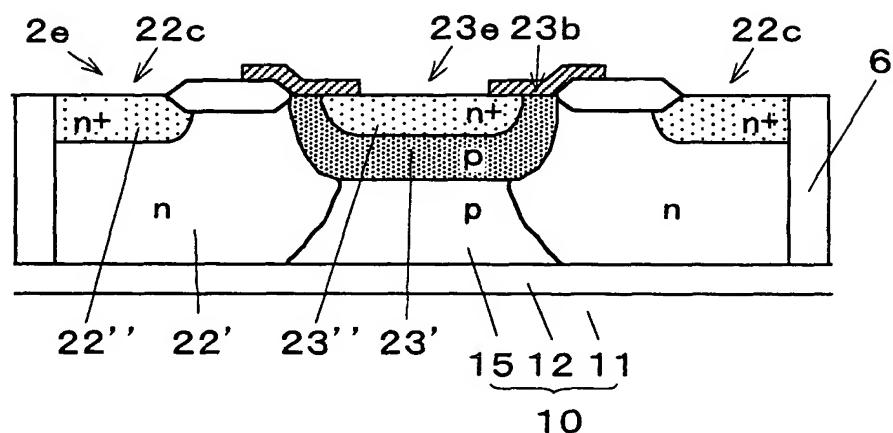


【図5】

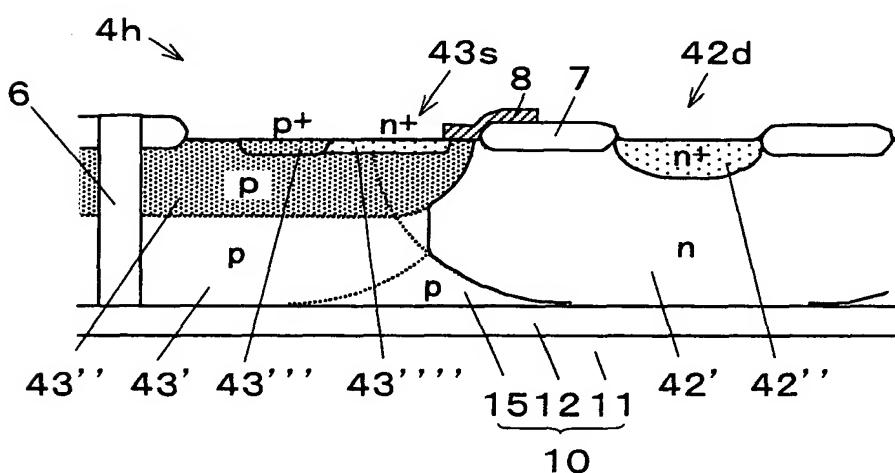


【図6】

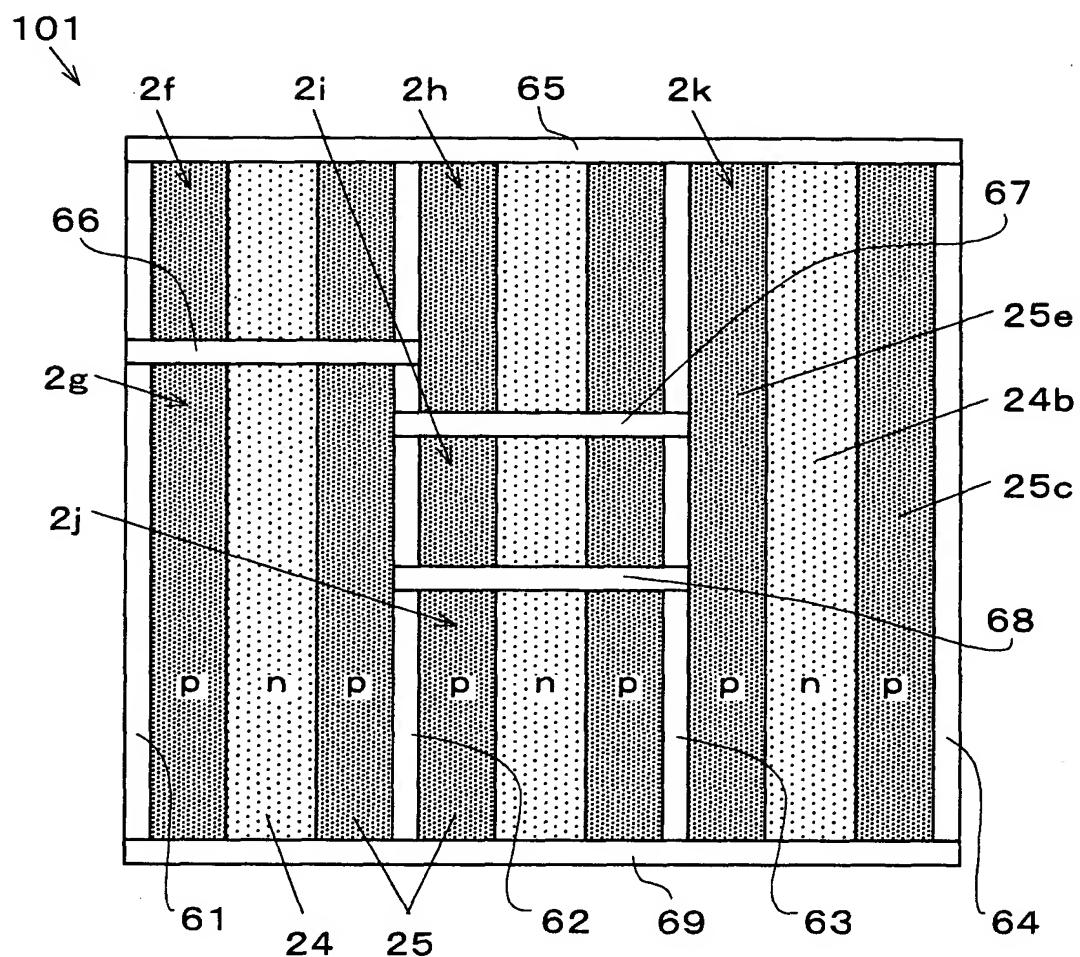
(a)

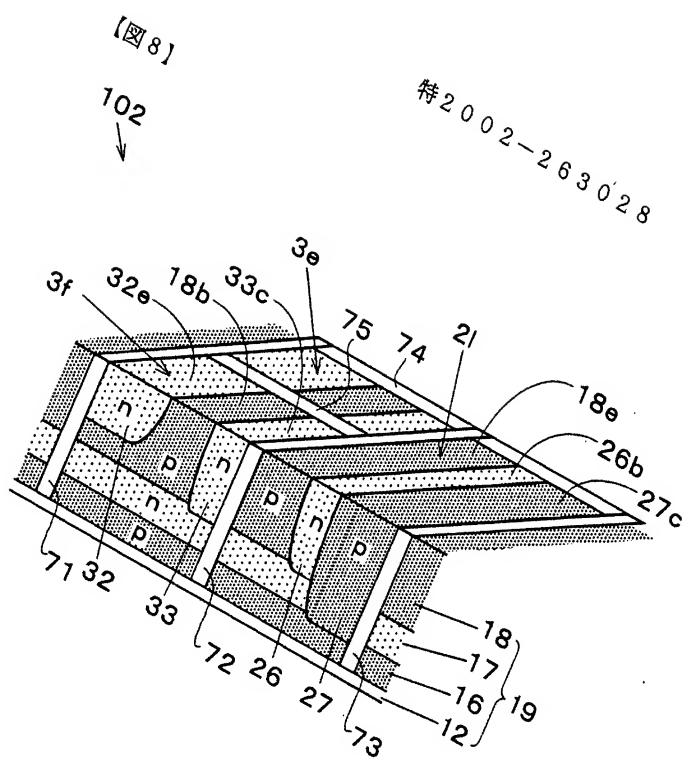


(b)



【図7】





出証特2003-3048685

【書類名】 要約書

【要約】

【課題】MOSトランジスタやバイポーラトランジスタといった各種半導体素子を1つのチップに集積化した複合ICであっても、試作期間が短く、従って開発コストを低減することのできる半導体装置およびその製造方法を提供する。

【解決手段】半導体基板1の正面に形成される各半導体素子2a～2d, 3a～3d, 4a～4e, 5aが、トレンチ6によって絶縁分離されてなる半導体装置100であって、各半導体素子2a～2d, 3a～3d, 4a～4e, 5aが形成される各領域2, 3, 4, 5には、それぞれ共通する拡散構造が形成され、各半導体素子2a～2d, 3a～3d, 4a～4e, 5aは、前記拡散構造に形成されたトレンチ6によって各半導体素子2a～2d, 3a～3d, 4a～4e, 5aの大きさが確定され、各半導体素子2a～2d, 3a～3d, 4a～4e, 5aが周囲から絶縁分離される。

【選択図】 図1

出願人履歴情報

識別番号 [000004260]

1. 変更年月日 1996年10月 8日

[変更理由] 名称変更

住 所 愛知県刈谷市昭和町1丁目1番地

氏 名 株式会社デンソー